

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-324348

(43) 公開日 平成6年(1994)11月25日

(51) Int.Cl.<sup>5</sup>

G 0 2 F 1/136  
1/13

識別記号

5 0 0  
1 0 1

庁内整理番号

9119-2K  
8707-2K

F I

技術表示箇所

審査請求 未請求 請求項の数 4 O L (全 6 頁)

(21) 出願番号 特願平5-110671

(22) 出願日 平成5年(1993)5月12日

(71) 出願人 000002325

セイコー電子工業株式会社  
東京都江東区亀戸6丁目31番1号

(72) 発明者 山崎 恒夫

東京都江東区亀戸6丁目31番1号 セイコ  
ー電子工業株式会社内

(72) 発明者 高橋 邦博

東京都江東区亀戸6丁目31番1号 セイコ  
ー電子工業株式会社内

(72) 発明者 鷹巣 博昭

東京都江東区亀戸6丁目31番1号 セイコ  
ー電子工業株式会社内

(74) 代理人 弁理士 林 敬之助

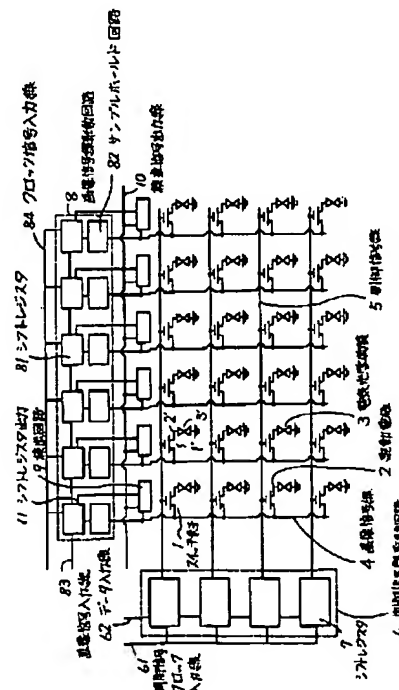
最終頁に続く

(54) 【発明の名称】 光弁装置

(57) 【要約】

【構成】 薄膜トランジスタとそのドレインと接続された液晶駆動電極により駆動される液晶セルからなる画素がマトリクス状に配置されており、1つの画像信号線は1列上の各トランジスタのソースに接続されており、1つの制御信号線は1行上の各トランジスタのゲート電極に接続されている。制御信号線駆動回路は1信号線当たり1ビットを有するシフトレジスタからなり、走査開始時に入力されたデータ信号はクロック信号に同期して、1クロックサイクルで1ビットずつ移動した位置のシフトレジスタから対応する制御信号線へ薄膜トランジスタのゲートをオン状態にする信号を出力する。画像信号線駆動回路の検出回路は3つの端子からなり、第一の端子は画像信号線と第二の端子は出力線に接続されており第三の端子はシフトレジスタの出力と接続されている。

【効果】 駆動回路を同一基板の上に形成した小型の表示装置で駆動回路の不良、画素の不良が検出でき、その不良位置の検出もできる。また測定時間も非常に短時間で済む。



## 【特許請求の範囲】

【請求項1】マトリクス状に配置された駆動電極とスイッチ素子と該スイッチ素子で駆動される電気光学物質からなる画素と、各スイッチ素子のオン／オフを制御する制御信号線と画像表示信号を伝える画像信号線とが該スイッチ素子に接続されており、所定の信号に応じて制御該信号線、画像信号線を駆動励起するための駆動回路とが形成された駆動基板と、該駆動基板に対向配置された対向基板と、該駆動基板と対向基板の間に配置された電気光学物質層とからなる光弁装置において、該信号線には3端子からなるスイッチ装置が接続されており、該3端子素子の第一の端子は信号線に接続され、第二の端子は検査信号出力線に接続されており、第三の端子は第一と第二の端子の接続／切断を制御する端子である駆動回路動作確認回路を含む光弁装置。

【請求項2】該スイッチ装置の第三の端子は、該駆動回路のシフトレジスタの出力と接続されていることを特徴とする請求項1に記載の光弁装置。

【請求項3】該スイッチ素子の第三の端子には、駆動回路のシフトレジスタの出力とその他の外部入力信号の論理積の出力が接続されたことを特徴とする請求項1に記載の光弁装置。

【請求項4】該駆動回路動作確認回路は光弁装置の信号線の画素領域の上端と下端あるいは左端と右端の2カ所に設けられていることを特徴とする請求項1～3に記載の光弁装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は、直視型表示装置や投影型表示装置に用いられる平板型光弁装置の検査回路に関する。より詳しくは、半導体薄膜に駆動回路が形成された集積回路を液晶パネルとして一体的に組み込んだ光弁装置例えばアクティブマトリクス液晶表示装置の検査回路に関する。

## 【0002】

【従来の技術】アクティブマトリクス液晶表示装置の原理は至って簡単であり、各画素にスイッチ素子を設け、特定の画素を選択する場合には対応するスイッチ素子を導通させ、非選択時にはスイッチ素子を非導通状態にしておくものである。このスイッチ素子は液晶パネルを構成するガラス基板上に形成されている。従ってスイッチ素子の薄膜化技術が重要である。この素子として通常薄膜トランジスタが用いられている。

【0003】従来アクティブマトリクス装置においては、図6の模式的回路図に示すごとく、各画素は薄膜トランジスタ1と液晶などの電気光学素子3からなり、薄膜トランジスタ1のゲート電極には制御信号線5が、ソース電極には画像信号線4が接続されており、各画素は縦横方向にマトリクス状に配置されており、画像信号線4には画像信号線駆動回路8が、制御信号線5には制御

信号線駆動回路6が接続されている。制御信号線駆動回路6は主にシフトレジスタからなり、各単位ビットの出力が信号線5に接続される。画像信号線駆動回路8はシフトレジスタと、各ビットごとのサンプルホールド回路などからなり、画像信号はシフトレジスタの出力によるサンプリング信号に基づき、画像信号をサンプルホールド回路に書き込む。

【0004】この従来の光弁装置では、縦横それぞれ数百以上の画素からなり、全体の画素数は100万個程度となる。面積は通常少なくとも1cm<sup>2</sup>以上ある。このような素子を欠陥無く歩留まり良く製造するのははなはだ困難であり、通常は作成した素子を光弁装置として完成する前に、駆動基板の状態での検査が必要である。検査方法として最も一般的な方法は、金属探針（以下プローバ）で素子の電極に触れ、プローバを通して電圧を印加しその電流を測定したり、出力電圧・電流などを測定することで良否の判定を行う。

【0005】この方法によると光弁装置などの多数の画素からなる素子の動作を確認するには数百本以上のプローバを画素間のピッチに相当する間隔をおいて、素子の電極に接触する必要があるが、信頼性のある結果を得るのは現在の技術では困難である。一方少数のプローバを移動させながら測定することもできるが、この場合は測定時間が長くなり実用的でない。

【0006】他の検査方法としては、素子の内部に検査用の回路を内蔵する方法が考えられている。この検査方法を用いた素子の等価回路図を図6で示す。各駆動回路から画素への信号出力部に、信号線4にゲート電極を接続したトランジスタ23を設ける。各ビットの検査用トランジスタ23は一方の端子24を接地し、他方の端子は共通の端子25に接続した後、負荷抵抗26を介して電源27に接続し、負荷からの出力を検出する。信号線5に駆動回路からの信号が伝わると検査用トランジスタ23はオン状態となり、負荷26に電流が流れこれを検出することで信号線5に信号の伝わったことが確認できる。電流の流れたタイミングをシフトレジスタのクロックと同期して観察すれば、どのビットで動作したのかも判定できるので不良の発生した線も検出できることになる。

## 【0007】

【発明が解決しようとする課題】しかし、光弁装置での検査回路は数百ビットの検出用FETのどれか1つでもオン状態となるとバッファ増幅器の出力には信号が検出されるので、複数のビットで同時に信号が出されるような駆動方法の場合、どのビットで欠陥が発生したのかを判定できない。通例、画像信号駆動回路は全ライン同時出力となっている。本発明は各ビットごとに検出動作を制御する機能を設け、特定のビットでのみ確実に検出動作を行うようにして、欠陥が発生した原因を正確につぎとめることを可能にする。不良が確実に判定できること

3

で不良品を駆動基板の状態で除去できると同時に、不良原因をフィードバックすることで不良の発生を低減できる。また、本発明の方法は電気的方法によっているので迅速な測定が可能である。

【0008】

【課題を解決するための手段】上記課題を解決するために、本発明の光弁装置の検査回路は、マトリクス状に配置された駆動電極とスイッチ素子と該スイッチ素子で駆動される電気光学物質からなる画素と、各スイッチ素子のオン/オフを制御する制御信号線と画像表示信号を伝える画像信号線とが該スイッチ素子に接続されており、所定の信号に応じて該制御信号線、画像信号線を駆動励起するための駆動回路とが形成された駆動基板と、該駆動基板に対向配置された対向基板と、該駆動基板と対向基板の間に配置された電気光学物質層とからなる光弁装置において、該信号線には3端子からなるスイッチ装置が接続されており、該3端子素子の第一の端子は信号線に接続され、第二の端子は検査信号出力線に接続されており、第三の端子は該スイッチ素子のオン/オフ即ち第一と第二の端子の接続/切断を制御する端子である駆動回路動作確認回路からなる

【0009】

【作用】信号線から検出器へのへの入力が必要に応じて接続/遮断を行えるスイッチ素子を設け、入力中、あるいは入力終了後の信号線の信号レベルを検出できる。また信号線の信号電位検出のタイミングを制御することで、全ての信号線の動作を独立して検出可能とする。

【0010】

【実施例】図1は本発明の実施例を示す回路図であり、薄膜トランジスタからなるスイッチ素子1と薄膜トランジスタのドレイン電極と接続された液晶駆動電極2により駆動される電気光学物質である液晶セル3からなる画素が行と列のマトリクス状に配置されており、1つの画像信号線4は1列上の各画素トランジスタのソースに接続されており、1つの制御信号線5は1行上の各画素トランジスタのゲート電極に接続されている。制御信号線駆動回路6は1信号線当たり1ビットを有するシフトレジスタからなり、走査開始時にデータ入力線62に入力されたデータ信号は制御信号クロック入力線61のクロック信号に同期して、1クロックサイクルで1ビットずつ移動した位置のシフトレジスタ7から対応する制御信号線5へ薄膜トランジスタ3のゲートをオン状態にする信号を出力する。

【0011】画像信号線駆動回路8は画素の列の数に相当するビット数を有するシフトレジスタ81と、各ビットのシフトレジスタに接続されたサンプルホールド回路82となる。制御信号線駆動回路の場合と同様シフトレジスタからの出力はクロック信号入力線84のクロック信号により1クロックで1ビットずつ移動しながらサンプルホールド回路82に画像信号サンプリング信号を送

4

り、画像信号入力線83からの画像信号はサンプルホールド回路に保持される。サンプルホールド回路の出力は増幅器を通すなどして画像信号線4に出力される。検出回路9は3つの端子からなり、第一の端子は画像信号線4と第二の端子は出力線10に接続されており、第三の端子はシフトレジスタの出力11と接続されている。

【0012】画像信号はシフトレジスタの出力がハイ“H”になるとそれに同期してオン状態になり画像信号線4に加えられる信号を出力線10に伝える。即ち、検査信号出力線10からの出力は特定のビットのシフトレジスタが“H”のときにのみそのビットの画像出力を検出し出力する。シフトレジスタは一度には単一のビットのみが“H”を出力するので出力バッファに複数のビットからの入力が並列してある場合でも、特定のタイミングでは特定のビットの画像出力のみを検出でき、複数のビットの画像出力を独立して検出できる。

【0013】図2は本発明による検出回路の他の実施例である。図1と異なるのは検出回路12の検出制御信号端子13への入力で、入力端子11と13の信号は論理積回路を通した後、その論理積の値で端子10への出力を行うか否かを決定する。検出制御信号が“L”のときは検出を行わないようにでき、シフトレジスタの隣接するビットの出力信号が時間的に重なりを持つ場合でも検出のタイミングを検出制御信号で指定して特定ビットのみからの出力を検出できる。あるいは、隣接ビットのシフトレジスタの反転信号を検出制御信号に加えることで隣接ビットとのタイミングの重なりを避けられる。

【0014】図3は本発明の他の実施例を示す光弁装置の検出回路である。図3では、画像信号線4の画像領域の両端に信号検出回路12、15を設けている。第二の検出回路15を走査する駆動回路16も第一の駆動回路8と独立して設けられる。第一と第二の駆動回路はシフトクロックを同期させる、あるいは独立したシフトクロックを用いる、のいずれもの方法も可能である。信号線の両端に検出回路12、15を設けることで信号線の断線等信号線の欠陥を検出可能となる。即ち第一の検出素子で信号が検出でき、第二の検出素子で検出できない場合信号線の中に断線があると判断できる。この検出回路は図4に示すごとく、トランスミッションゲート17及び増幅器18等で容易に構成できる。トランスミッションゲートへの入力はシフトレジスタの出力13、検出制御信号14が論理積回路19を介して入力される。

【0015】図5は本発明の他の実施例で制御信号線にも両端に検査回路を設けた。制御信号線5は検出回路20、20'の検出信号入力端子に接続されており、検査出力端子21、21'信号検出制御端子22、22'が接続されているのも12、15の検出回路と同様である。

【0016】本発明によれば、検査信号の出力を観測すれば、所定のタイミングで画素への出力信号が検出出来

5

れば正常、検出できなければ不良の判断が全ての信号線に関して独立して行える。また、検査回路を素子内に内蔵しているのでプローバ等の装置を使わず検査ができる。信号線の両端に検出回路を設ければ、不良が駆動回路、画素領域のいずれで発生したのかも分かるので生産工程の不良原因を把握して歩留まりを向上するにも役立つ。検査時間は1画面を表示する時間程度で実施可能であり、数十ミリ秒以内も可能である。

【0017】更に、画像信号出力線に接続した検出回路はアナログ入出力にすれば、信号の有無のみならず、適正な映像信号の値がアナログ値として得られているかどうか判定できる。加えて制御信号線と、映像信号線を連動することで画素毎の良、不良も判定できる。即ち画素に画像信号を書き込んだ後、DRAMと同様に画素内の信号を映像信号線に出力しこれを検出回路で検出増幅する事で画素に映像信号が書き込まれ、保持されたかどうか判定できる。

【0018】

【発明の効果】この発明は、以上説明したよう動作不良を検出する回路を一体化して素子の内部に設けたので、

6

駆動回路を同一基板の上に形成した小型の表示装置で駆動回路の不良、画素の不良が検出でき、その不良位置の検出もできる。また測定時間も非常に短時間で済むなどの著しい効果がある。

【図面の簡単な説明】

【図1】本発明の検査回路の1実施例である。

【図2】本発明の検査回路の他の実施例である。

【図3】本発明の検査回路の他の実施例である。

【図4】本発明の検査回路の検出部の回路の1実施例である。

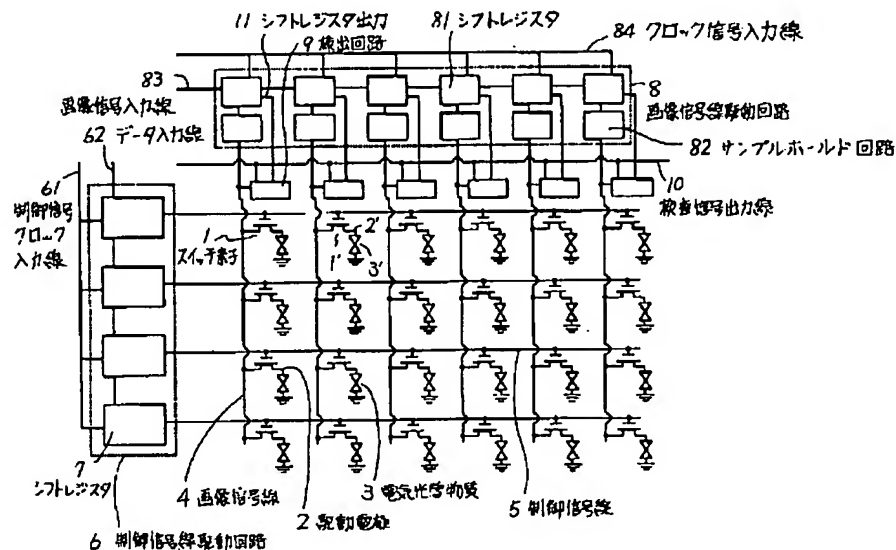
【図5】本発明の検査回路の他の実施例である。

【図6】従来のアクティブマトリクス液晶表示パネルの回路例である。

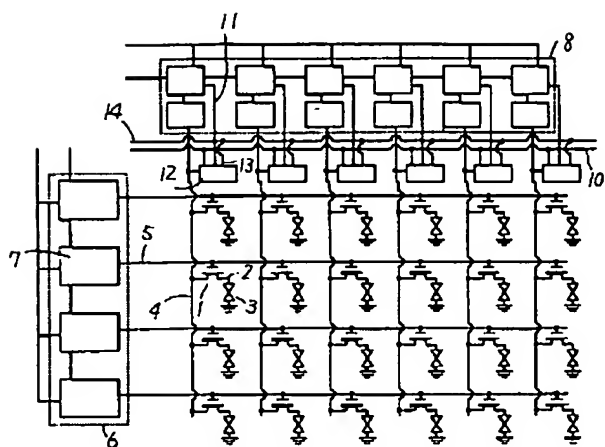
【符号の説明】

- |               |            |  |
|---------------|------------|--|
| 4             | 画像信号入力線    |  |
| 5             | 制御信号入力線    |  |
| 10、10'、22、22' | 検出制御信号入力線  |  |
| 12、15、19、20   | 検出装置       |  |
| 13、13'        | 検出制御信号入力端子 |  |
| 14、14'、21、21' | 検出信号出力線    |  |

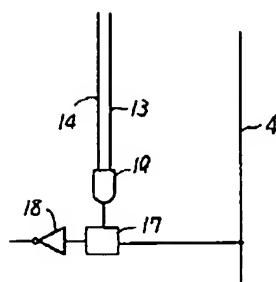
【図1】



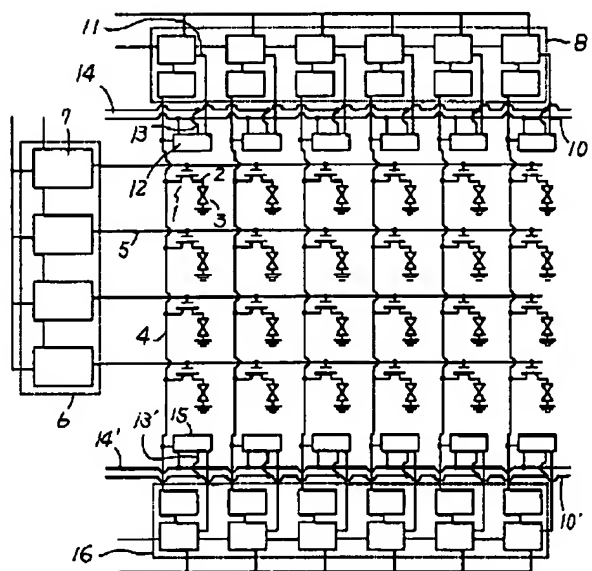
【図2】



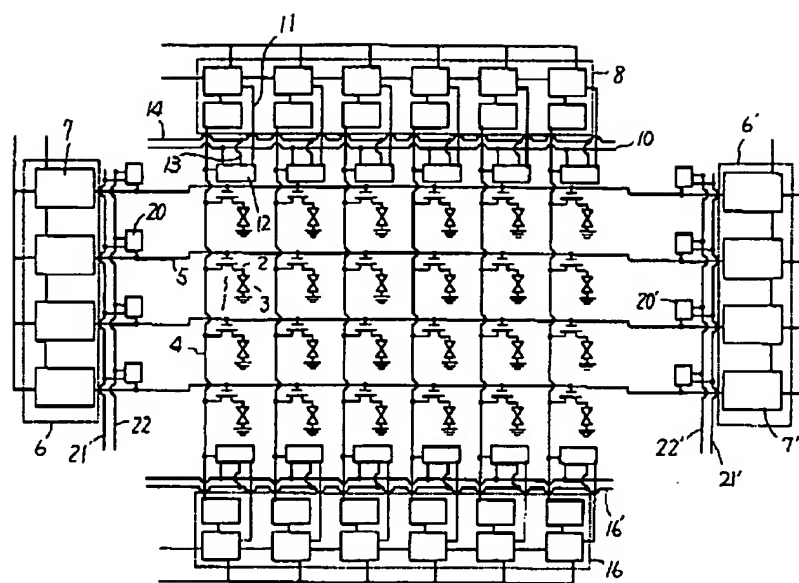
【図4】



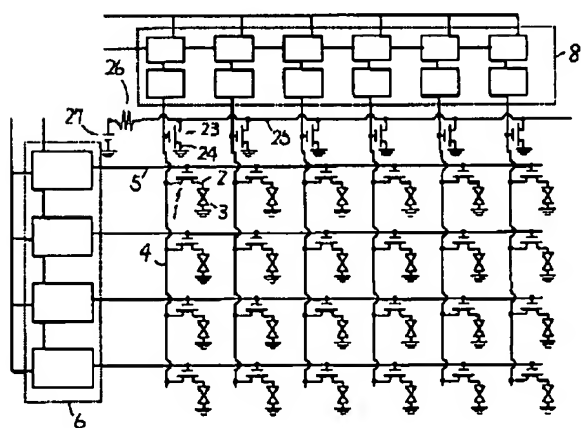
【図3】



【図5】



【図6】



フロントページの続き

(72)発明者 桜井 敦司

東京都江東区亀戸6丁目31番1号 セイコ

一電子工業株式会社内